

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-046073

(43)Date of publication of application : 26.02.1988

(51)Int.Cl.

H04N 5/14

H03L 7/10

(21)Application number : 61-188563

(71)Applicant : NEC CORP

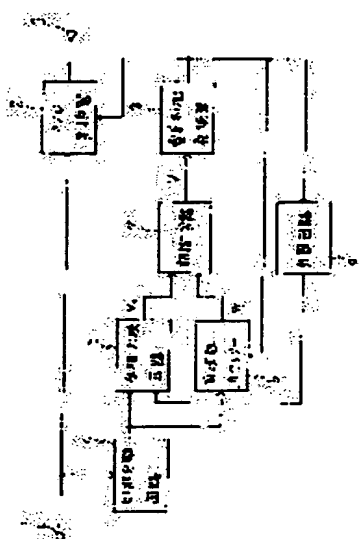
(22)Date of filing : 13.08.1986

(72)Inventor : SUZUKI NORIO

**(54) PHASE LOCKED LOOP OSCILLATION CIRCUIT****(57)Abstract:**

**PURPOSE:** To oscillate clock of stable frequency even when horizontal synchronizing signals are television signals having jitter such as television signals from a VTR by controlling a voltage controlled oscillator using phase difference signals and frequency signals.

**CONSTITUTION:** A phase comparator circuit 5 detects phase difference between horizontal synchronizing signals and digital synchronizing signals supplied from a frequency divider circuit 9, obtains phase difference signals  $V_p$  corresponding to the phase difference, and supplies to a control circuit 7. A frequency counter 6 detects frequency ratio of horizontal synchronizing signals and sampling clock and obtains frequency signals  $V_f$  corresponding to the frequency ratio and supplies to the control circuit 7. The control circuit 7 obtains control signals  $V$  from phase difference signals  $V_p$  and frequency signals  $V_f$  and supplies to a voltage controlled oscillator 8. Thereby, even when input television signals have jitter like signals from a VTR and horizontal synchronizing signals are unstable, the clock of stable frequency can be obtained.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-46073

⑬ Int. Cl.<sup>4</sup>

H 04 N 5/14  
H 03 L 7/10

識別記号

庁内整理番号

Z-7170-5C  
B-7530-5J

⑭ 公開 昭和63年(1988)2月26日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 位相同期発振回路

⑯ 特 願 昭61-188563

⑰ 出 願 昭61(1986)8月13日

⑱ 発 明 者 鈴木 典 生 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 岩佐 義幸

明 細 書

1. 発明の名称

位相同期発振回路

2. 特許請求の範囲

(1) テレビ信号の水平同期信号に位相同期してクロックを発生する回路において、

制御信号に応じた周波数のクロックを発生する電圧制御発振器と、

テレビ信号から分離された水平同期信号と、上記電圧制御発振器の発振クロックを分周して得られるデジタルの同期信号の位相のずれを検出して位相差信号を出力する手段と、

上記電圧制御発振器の発振周波数と水平同期信号との周波数比を検出して周波数信号を出力する手段と、

上記位相差信号と周波数信号とから上記電圧制御発振器を制御する上記制御信号を発生する手段とを備えたことを特徴とする位相同期発振回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、テレビ信号の水平同期信号に位相同期してクロックを発生する回路に関する。

(従来の技術)

テレビ信号の水平同期信号に位相同期したクロックを発生させる回路は、例えば、テレビ信号をA/D変換してデジタル化するとき用いられる標準化クロックを得るような場合に使用されるが、従来、この種の位相同期発振回路は、テレビ信号から分離された水平同期信号と発振クロックを分周して得られるデジタルの同期信号の位相差の信号のみを用いて電圧制御発振器(VCXO)を制御して発振クロックを得ていた。

(発明が解決しようとする問題点)

しかし、上述した従来の位相同期発振回路は、単に位相差のみで電圧制御発振器(VCXO)を制御しているので、水平同期信号が安定している放送信号に合わせて電圧制御発振器(VCXO)に水晶発振器を用いていると、水平同期信号が不安定なVTR等の信号が入力された場合、位相差の変動が大きすぎて、安定した発振周波数が得ら

れないという欠点がある。

本発明は、入力テレビ信号の水平同期信号に位相同期したクロックを得る場合、たとえ入力テレビ信号がVTRからのもののようにジッタを有し水平同期信号が不安定なものであっても、安定した周波数のクロックが得られる位相同期発振回路を提供することを目的とする。

(問題点を解決するための手段)

本発明の位相同期発振回路は、

テレビ信号の水平同期信号に位相同期してクロックを発生する回路において、

制御信号に応じた周波数のクロックを発生する電圧制御発振器と、

テレビ信号から分離された水平同期信号と、上記電圧制御発振器の発振クロックを分周して得られるデジタルの同期信号の位相のずれを検出して位相差信号を出力する手段と、

上記電圧制御発振器の発振周波数と水平同期信号との周波数比を検出して周波数信号を出力する手段と、

上記位相差信号と周波数信号とから上記電圧制御発振器を制御する上記制御信号を発生する手段とを備えたことを特徴としている。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図で、テレビ信号の水平同期信号に位相同期して標本化クロックを発生する回路に適用した場合である。

第1図において、1はテレビ信号が供給される入力端子、2はA/D変換器、3はA/D変換によりデジタル化されたテレビ信号を取り出す出力端子であり、A/D変換器2には、次のような位相同期発振回路から得られるクロックが標本化クロックとして与えられるようになっている。

A/D変換器2へ入力テレビ信号の水平同期信号に位相同期した標本化クロックを供給する位相同期発振回路は、第1図に示すように、テレビ信号から水平同期信号を分離する同期分離回路4と、位相比較回路5と、周波数カウンタ6と、制御回路7と、制御信号Vに応じてクロックの周波数

3

を変化する電圧制御発振器8と、この電圧制御発振器8からのクロックを分周する分周回路9から成っている。

位相比較回路5には、同期分離回路4の出力と分周回路9の出力が供給されるようになっており、この位相比較回路5はテレビ信号から分離された水平同期信号と、電圧制御発振器8の発振クロックを分周して得られるデジタルの同期信号の位相のずれを検出して位相差信号V<sub>1</sub>を出力する。

周波数カウンタ6には、同期分離回路4で分離された水平同期信号が供給されると共に、電圧制御発振器8から発振クロックが与えられ、電圧制御発振器の発振周波数と水平同期信号との周波数比を検出して周波数信号V<sub>2</sub>を出力する。

制御回路7には、このような位相比較回路5からの位相差信号V<sub>1</sub>と、周波数カウンタ6からの周波数信号V<sub>2</sub>とが供給される。この制御回路7は、供給された位相差信号V<sub>1</sub>と周波数信号V<sub>2</sub>とから電圧制御発振器8を制御する制御信号Vを発生し、これを電圧制御発振器8に供給するよう

4

になっている。

次に、動作について説明する。

入力端子1に入力されたテレビ信号は同期分離回路4へ供給され、水平同期信号が分離される。分離された水平同期信号は位相比較回路5と周波数カウンタ6へ供給される。位相比較回路5では水平同期信号と分周回路9から供給されるデジタルの同期信号との位相差を検出して位相差に応じて位相差信号V<sub>1</sub>を得て制御回路7へ供給する。周波数カウンタ6は水平同期信号と標本化クロックとの周波数比を検出して周波数比に応じて周波数信号V<sub>2</sub>を得て、制御回路7へ供給する。制御回路7では位相差信号V<sub>1</sub>と周波数信号V<sub>2</sub>とから制御信号Vを得て電圧制御発振器8へ供給する。

このように、位相差信号V<sub>1</sub>のみならず、周波数信号V<sub>2</sub>をも得るようにし、これら位相差信号V<sub>1</sub>と周波数信号V<sub>2</sub>とを用いて電圧制御発振器8を制御するようにしている。

制御信号Vを得る具体的な例としては、周波数

5

6

信号 $V_p$ があらかじめ定められた周波数比と大きくずれている場合は、主に周波数信号 $V_p$ を用いてあらかじめ定められた周波数比に近づくように制御電圧を発生し、周波数信号 $V_p$ があらかじめ定められた値に近い場合は、主に位相差信号 $V_d$ を用いて一定の位相差となるように制御電圧を発生する制御を行う。

電圧制御発振器8は制御電圧に応じた周波数のクロックを発生し、これを分周回路9、周波数カウンタ6に供給すると共に、A/D変換器2へ供給する。既述したように、分周回路9はクロックを分周してデジタルの同期信号を得て位相比較回路5へ供給する。一方、A/D変換器2は、電圧制御発振器8から得られる位相同期したクロックを用いてA/D変換を行ってデジタル化されたテレビ信号を出力端子3に供給する。

第2図は、前述したような制御信号 $V$ を得る場合の制御回路7の具体的な構成の一例を示すブロック図である。

この例では、周波数信号 $V_p$ と基準の周波数信

号 $V_{ps}$ が供給される減算器10と、位相差信号 $V_d$ と減算器10からの出力が与えられる判定回路11と、位相差信号 $V_d$ 及び減算器10の出力のそれぞれに判定回路11で得られる所定の係数を乗じた信号を取り出す乗算器12、13と、これら乗算器12、13からの信号を加算して制御信号 $V$ とする加算器14とを用いている。

第2図に示すように、位相差信号 $V_d$ は判定回路11と乗算器12へ供給される。周波数信号 $V_p$ は基準の周波数信号 $V_{ps}$ が減算器10で減算され、周波数差信号 $V_{pd}$ が得られ、乗算器13と判定回路11へ供給される。この判定回路11では位相差信号 $V_d$ と周波数差信号 $V_{pd}$ とから位相差信号の係数 $K_p$ と周波数差信号の係数 $K_r$ を定め乗算器12及び13へ供給する。乗算器12及び13では各々の係数に応じて乗算を行って加算器14へ供給し、加算器14の出力には制御信号 $V$ が得られる。

判定回路11の判定方法としては、例えば位相差信号 $V_d$ と周波数差信号 $V_{pd}$ の大小に応じて乗算器12及び13の係数 $K_p$ 及び $K_r$ を次の表1のよう

7

に制御して出力する。

表 1

$V_p$	$V_{pd}$	出力係数の関係
大	大	$K_p < K_r$
小	大	$K_p \approx K_r$
大	小	$K_p \approx K_r$
小	小	$K_p > K_r$

第3図は制御回路7の別な具体的な構成例を示すブロック図である。第3図の場合は、第2図の構成において、更に位相差信号 $V_d$ のジッタ量を検出するジッタ検出回路15をもうけ、ジッタ量の大小も判定の条件に含める構成となっている。ジッタ量の検出方法としては、例えば分散や絶対値の平均からジッタ量を求める。判定回路11の判定方法としては、例えば位相差信号 $V_d$ とそのジッタ量及び周波数差信号 $V_{pd}$ の大小に応じて乗算器12及び13の係数 $K_p$ 及び $K_r$ を次の表2のように制御して出力する。

8

表 2

$V_p$	$V_d$ のジッタ量	$V_{pd}$	出力係数の関係
	大		$K_p < K_r$
大			$K_p < K_r$
小	小	大	$K_p \approx K_r$
小	小	小	$K_p > K_r$

以後の動作については、第2図の場合と同様である。すなわち、乗算器12及び13では各々の係数に応じて乗算を行ってその出力を加算器14へ供給するようにし、加算器14ではこれを加算して制御信号 $V$ を得るようにすればよい。

(発明の効果)

以上説明したように本発明は、位相比較によって得られる位相差信号の他に、周波数比を検出して周波数信号を得る手段を設け、位相差信号と周波数信号とを用いて電圧制御発振器を制御することにより、VTRからのテレビ信号のように水平同期信号がジッタを有するテレビ信号の場合でも安定した周波数のクロックを発生できる効果があ

る。

15—ジッタ検出回路

## 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、

第2図は第1図の制御回路の具体的な構成例を示すブロック図、

第3図は同じくその制御回路の他の構成例を示すブロック図である。

1…入力端子

2…A/D変換器

3…出力端子

4…同期分離回路

5…位相比較回路

6…周波数カウンタ

7…制御回路

8…電圧制御発振器

9…分周回路

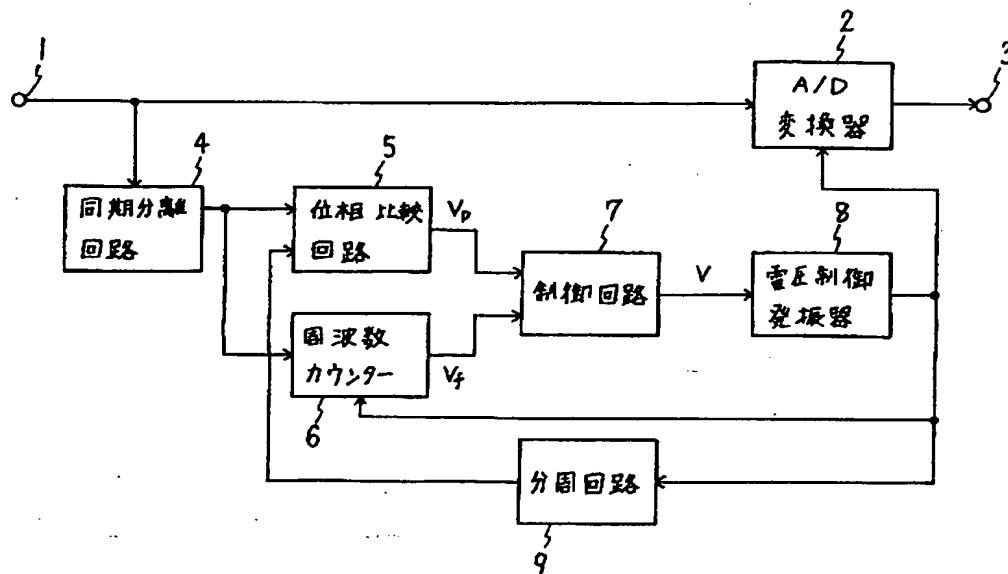
10…減算器

11…判定回路

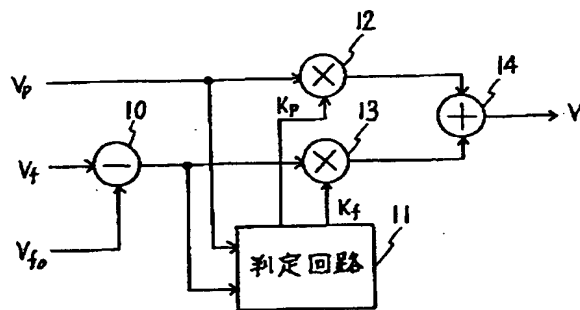
12、13…乗算器

14…加算器

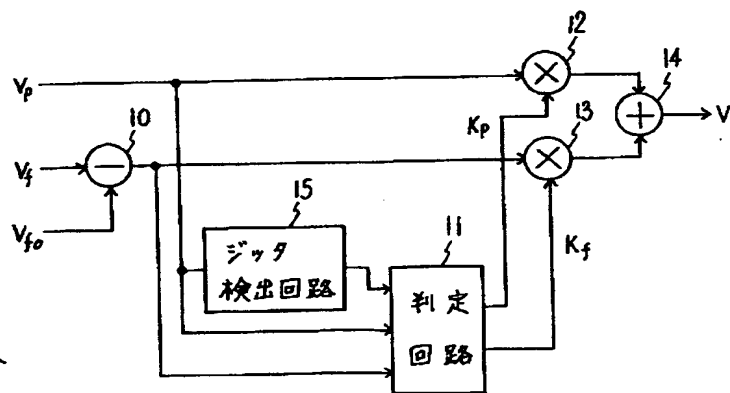
代理人弁理士 岩 佐 義 幸



第1図



第 2 図



第 3 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**